

**МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ
РОССИЙСКОЙ ФЕДЕРАЦИИ**
Государственное образовательное учреждение
высшего профессионального образования
Омский государственный университет им. Ф.М. Достоевского
ФИЗИЧЕСКИЙ ФАКУЛЬТЕТ

КАФЕДРА ЭКСПЕРИМЕНТАЛЬНОЙ ФИЗИКИ И РАДИОФИЗИКИ

Верификация проекта цифрового корреляционного приёмника

Научный руководитель:
начальник ОПОиС ЗАО
«Навигационные системы - сервис»
Е.Ю. Егоров

Доклад подготовил:
магистрант группы ФРМ-102-О-07
М. А. Губаренко

г. Омск - 2013

Целью работы является верификация и оптимизация цифрового корреляционного приёмника.

Для достижения поставленной цели решаются следующие **задачи**:

1. Формирование входных сигналов коррелятора и системы захвата сигнала.
Проверка значений выходных сигналов.
2. Оптимизация программного кода генератора сигнала в программной среде Xilinx.

Практические результаты работы использованы для оптимизации корреляционного приемника ШПС.

- Схема корреляционного приёмника:^[1]

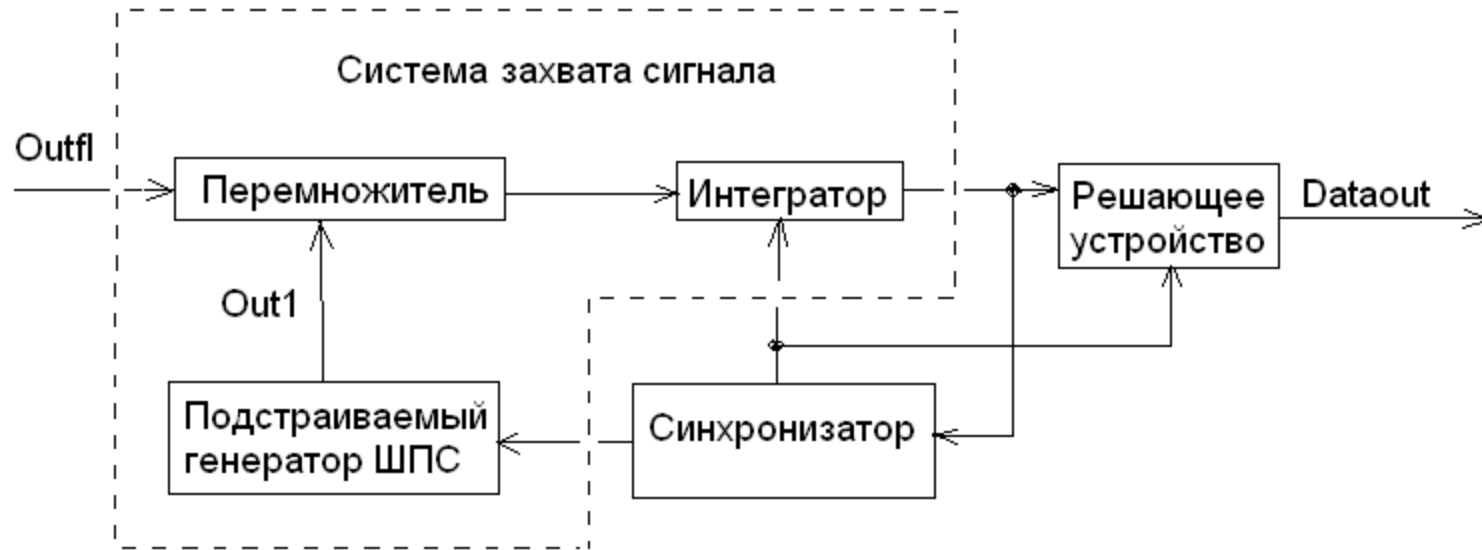


Рис. 1

Outfl – сигнал, принятый от базового генератора.

Out1 – сигнал, выработанный подстраиваемым генератором.

Dataout - информационный сигнал, выделенный из Outfl.

[1] Варакин Л.Е. Системы связи с шумоподобными сигналами / Л. Е. Варакин. – М.: Радио и связь, 1995. – 384 с.

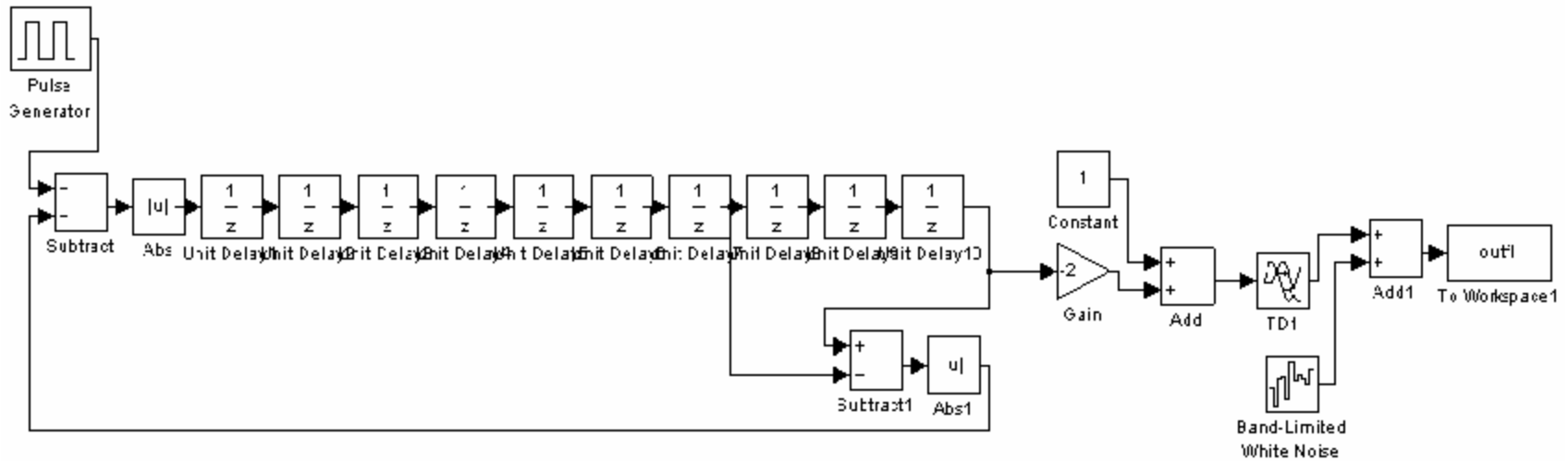
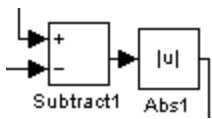
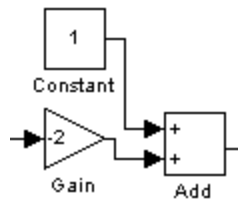


Рис. 2



- Суммирование по mod 2.



- Преобразование выработанной генератором M-последовательности в фазоманипулированный сигнал.

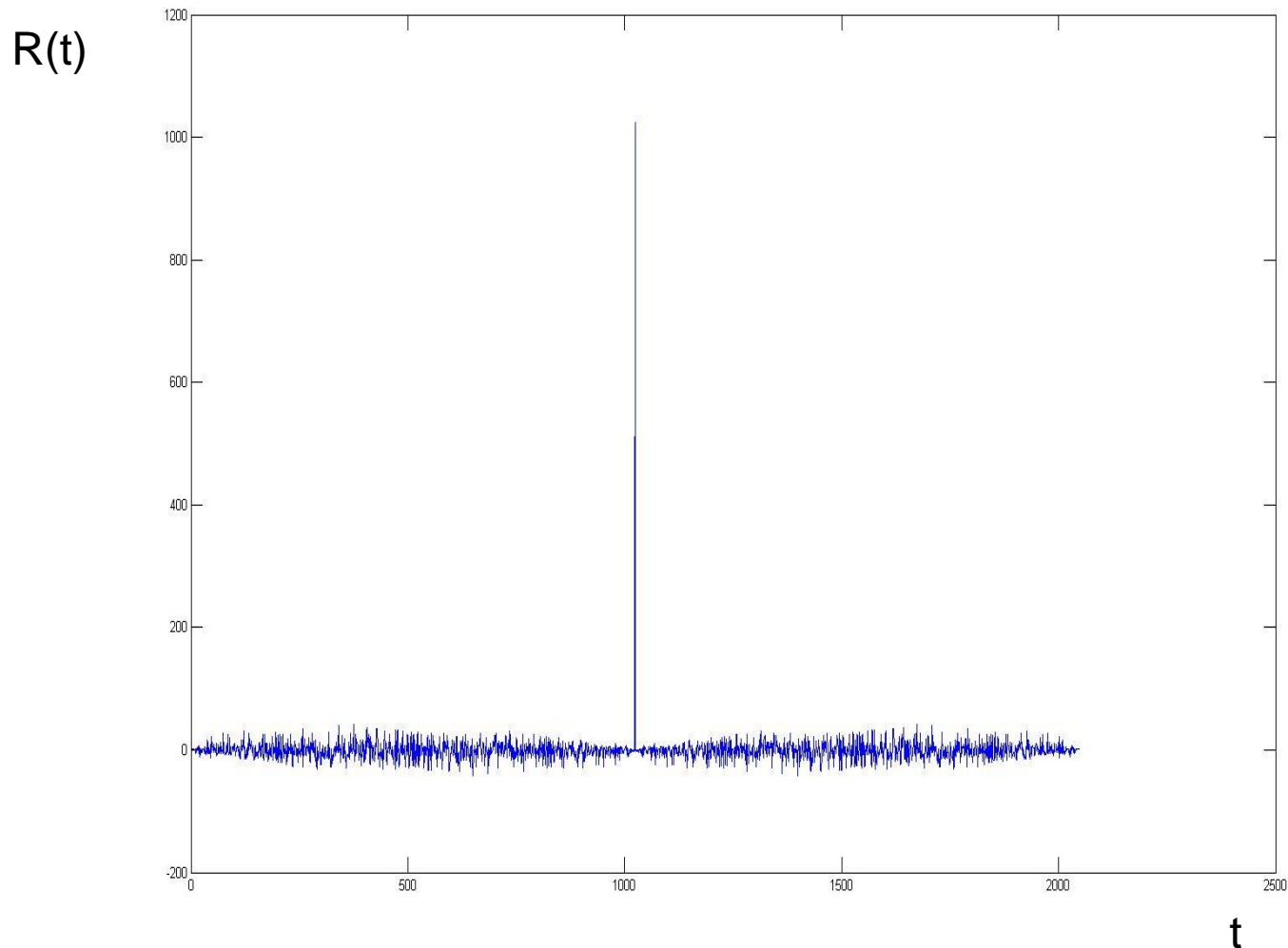


Рис. 3

- Корреляционная функция сигналов от двух согласованных генераторов.

A, B – перемножаемые сигналы

C – полученный сигнал

$$\begin{array}{r}
 \boxed{11111111} - A \\
 \times \quad 1111\boxed{1111} - B \\
 \hline
 000011111111 \\
 000111111110 \\
 001111111100 \\
 011111111000 \\
 \hline
 + \\
 000011111111 \\
 000111111110 \\
 001111111100 \\
 011111111000 \\
 \hline
 1111111000000001 - C
 \end{array}$$

} перемножитель 4x8 №1
 } перемножитель 4x8 №2

Logic Utilization	Used	Available	Utilization
Total Number of 4 input LUTs	9,029	9,600	94%

Таблица, полученная в программе Xilinx

Device Utilization Summary				
Logic Utilization	Used	Available	Utilization	Note(s)
Number of 4 input LUTs	109	9,600	1%	
Logic Distribution				
Number of occupied Slices	55	4,800	1%	
Number of Slices containing only related logic	55	55	100%	
Number of Slices containing unrelated logic	0	55	0%	
Total Number of 4 input LUTs	106	9,600	1%	
Number of bonded IOBs	32	158	20%	
Total equivalent gate count for design	842			
Additional JTAG gate count for IOBs	1,536			

Рис. 4

- Проект, использующий перемножитель, содержащий в качестве компонента перемножитель 4x8 .

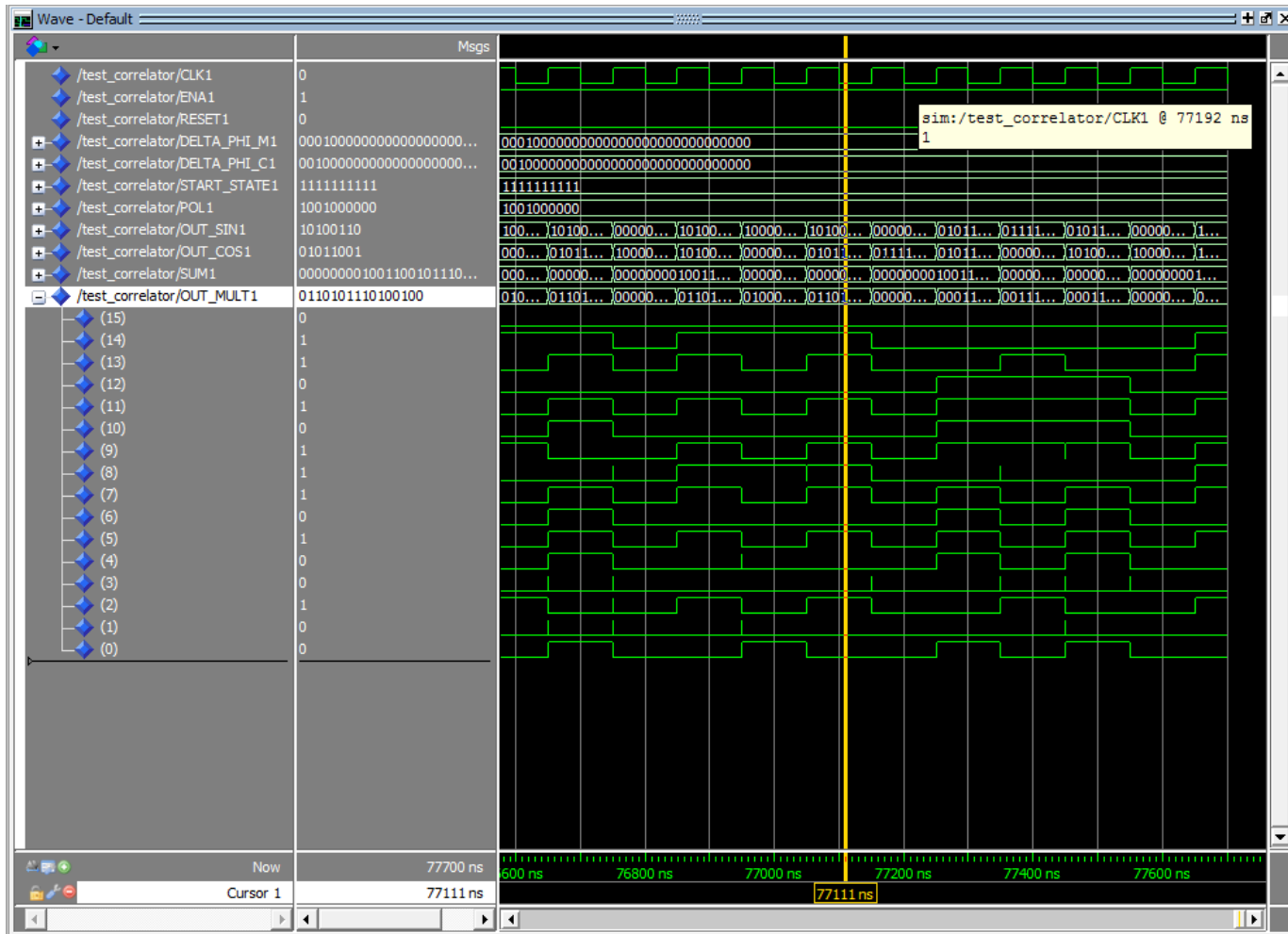
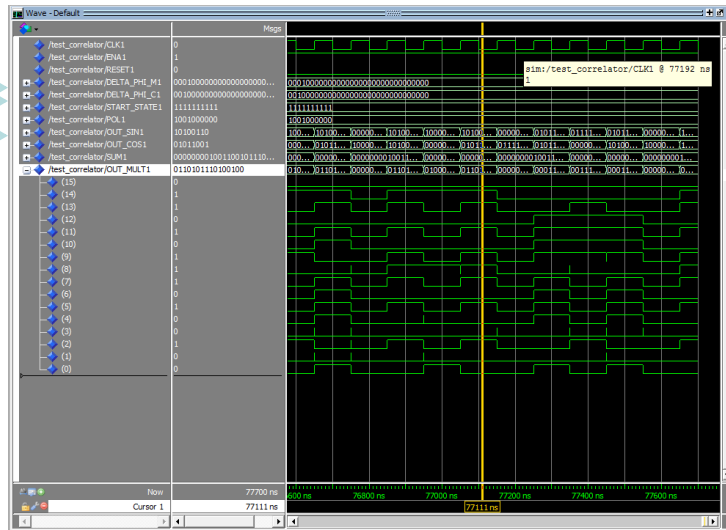


Рис. 5

- Значения сигналов коррелятора и входящего в его состав генератора m-последовательности.



DONE = '1' – сигнал, равный 1, в случае захвата искомого сигнала

MAX_ENVLP = "0000110010010111" – максимальное значение корреляционного пика

Рис. 6

OUTDATA = "0000010111010001" – значение фазы, определенное системой захвата сигнала

OUTENVLP = "0000001101000111" – выходное значение огибающей квадратного коррелятора

INREF = "01110010" – эталонный сигнал квадратного коррелятора

- Сигналы системы захвата и входящего в её состав коррелятора.

Logic Utilization	Used	Available	Utilization
Total Number of 4 input LUTs	160	9,600	1%

Таблица, полученная в программе Xilinx

Device Utilization Summary				
Logic Utilization	Used	Available	Utilization	Note(s)
Number of 4 input LUTs	158	9,600	1%	
Logic Distribution				
Number of occupied Slices	83	4,800	1%	
Number of Slices containing only related logic	83	83	100%	
Number of Slices containing unrelated logic	0	83	0%	
Total Number of 4 input LUTs	160	9,600	1%	
Number used as logic	158			
Number used as a route-thru	2			
Number of bonded IOBs	32	158	20%	
Total equivalent gate count for design	1,257			
Additional JTAG gate count for IOBs	1,536			

Logic Utilization	Used	Available	Utilization
Total Number of 4 input LUTs	109	9,600	1%

Device Utilization Summary				
Logic Utilization	Used	Available	Utilization	Note(s)
Number of 4 input LUTs	109	9,600	1%	
Logic Distribution				
Number of occupied Slices	55	4,800	1%	
Number of Slices containing only related logic	55	55	100%	
Number of Slices containing unrelated logic	0	55	0%	
Total Number of 4 input LUTs	109	9,600	1%	
Number of bonded IOBs	32	158	20%	
Total equivalent gate count for design	842			
Additional JTAG gate count for IOBs	1,536			

Рис. 7

- Количество LUT, необходимых для реализации DDS до и после оптимизации.

В работе проведена верификация коррелятора и системы захвата сигнала цифрового корреляционного приёмника.

Решены следующие задачи:

1. Заданы значения входных сигналов квадратурного коррелятора и системы захвата сигнала. Проверены значения выходных сигналов рассмотренных блоков корреляционного приёмника.
2. Программный код DDS скомпилирован в пакете Xilinx. Определено количество lut, необходимых для реализации генератора до и после оптимизации.

Новизна работы заключается в алгоритмах разработанных программ оптимизации DDS и тестовых программ коррелятора.

С точки зрения практической значимости, создан программный код генератора сигналов, более экономно использующий ресурсы ПЛИС.

- 1) Варакин Л.Е. Системы связи с шумоподобными сигналами / Л. Е. Варакин. – М.: Радио и связь, 1995. – 384 с.
- 2) Окунев Ю.Б. Цифровая передача информации фазомодулированными сигналами / Ю. Б. Окунев. – М.: Радио и связь, 1991. – 296 с.
- 3) Лайонс Р. Цифровая обработка сигналов: Второе издание. Пер. с англ. / Р. Лайонс. - М.: ООО «Бином-Пресс», 2006. – 656 с.
- 4) Половко А. М., Бутусов П. Н. Matlab для студента / А. М. Половко, П. Н. Бутусов. – СПб,: БХВ-Петербург, 2005. – 320 с.
- 5) Черных И. В. Simulink - среда создания инженерных приложений / И. В. Черных – М.: ДИАЛОГ- МИФИ, 2003 – 496 с.
- 6) Бабинцев В. В. Разработка методов защиты устройств быстрого поиска шумоподобных сигналов от гармонических и структурных помех: Дис. канд. техн. наук, Киров, 2003. – 129 с.
- 7) Максфилд К. Проектирование на ПЛИС. Архитектура, средства и методы/ Максфилд К – М. Додэка – XXI, 2007 – 407 с.
- 8) Бибило П. Н. Основы языка VHDL / П. Н. Бибило - БХВ –Петербург, 2007 – 322с.
- 9) Суворова Е. А. Шейнин Ю. Е. Проектирование цифровых схем на VHDL/ Суворова Е. А. Шейнин Ю. Е. – БХВ – Петербург, 2003 – 558 с.